

DB 全波整流器  
Q1, Q2 FET  
C10~C12 コンデンサ  
CE10 コンデンサ  
L10, L11 インダクタ  
RL 負荷  
LD1 負荷共振回路  
D11, D12 ダイオード  
CT10 トランス (カレントトランス)

## 【特許請求の範囲】

【請求項 1】 交流電源からの交流電力を直流電力に全波整流する全波整流器と、  
前記全波整流器の出力に接続され、LC 共振回路および負荷を含む負荷共振回路と一対のスイッチの直列回路とにより成るインバータと、  
前記インバータに直流電力を供給するための平滑コンデンサと、  
前記平滑コンデンサから前記インバータに直流電力を供給するための放電用ダイオードと、  
前記一対のスイッチの一方側を経由して流れる回生電流の検出を行うカレントトランスと、  
前記一対のスイッチの他方および前記カレントトランスを介して前記全波整流器の出力から前記平滑コンデンサに充電電流を流すための充電用ダイオードとを備え、  
前記カレントトランスにより回生電流が検出される時に前記一対のスイッチの他方がオンになるのを禁止する電源装置。

【請求項 2】 発振信号を生成し、この発振信号を用いて前記各スイッチのオン／オフ制御用の制御信号を生成する他励式の制御回路を備える請求項 1 記載の電源装置。

【請求項 3】 前記カレントトランスと磁気結合する駆動巻線に誘導される起電力を用いて、前記インバータの各スイッチのオン／オフ制御を行う自励式の制御回路を備え、前記カレントトランスは前記負荷共振回路の共振電流が流れる経路に配置される請求項 1 記載の電源装置。

【請求項 4】 前記カレントトランスおよび駆動巻線は可飽和のトランスにより構成される請求項 3 記載の電源装置。

【請求項 5】 前記負荷共振回路と前記全波整流器の出力端子との間に接続されるインピーダンス素子を備える請求項 1～3 のいずれかに記載の電源装置。

【請求項 6】 前記カレントトランスと並列接続されるインピーダンス素子を備える請求項 1、3 または 4 記載の電源装置。

【請求項 7】 前記平滑コンデンサを充電する複数の経路を有し、この複数の経路のうちの経路上に前記カレントトランスが設けられる請求項 1 および 3～5 のいずれかに記載の電源装置。

【請求項 8】 前記平滑コンデンサに流れる充電電流を分けて流出させるインダクタを備え、このインダクタの一分流経路上に前記カレントトランスが設けられる請求項 1 および 3～5 のいずれかに記載の電源装置。

【請求項 9】 交流電源からの交流電力を直流電力に全波整流する全波整流器と、  
一対のスイッチの直列回路を含み、直流電圧を高周波電圧に変換するインバータと、  
前記インバータに直流電力を供給するための平滑コンデ

ンサと、

前記平滑コンデンサから前記インバータに直流電力を供給するための放電用ダイオードと、

前記インバータの出力端子と前記全波整流器の直流出力端子との間に 1 次巻線が挿入されるトランスと、

LC 共振回路および負荷を含む負荷共振回路と、

前記全波整流器に前記負荷共振回路を接続するためのインピーダンス素子と、

10 前記一対のスイッチの一方がオン時にその一方のスイッチと前記負荷共振回路の一部とを介して前記平滑コンデンサに流れる充電電流が前記一対のスイッチの他方を介して回生するその回生電流を検出するカレントトランスとを備え、

前記カレントトランスにより回生電流が検出される時に前記一対のスイッチの一方がオンになるのを禁止する電源装置。

【請求項 10】 交流電力を直流電力に全波整流する全波整流器と、

20 前記全波整流器の両出力端子間に直列接続される一対のスイッチと、

前記全波整流器の両出力端子の一方と一端が接続される直流阻止用コンデンサと、

インダクタ、このインダクタとともに LC 共振回路を構成するコンデンサ、およびこのコンデンサと並列接続される負荷により成り、前記一対のスイッチの接続点と前記直流阻止用コンデンサの他端との間に接続される負荷共振回路と、

前記一対のスイッチの両端のうち一方と一端が接続される平滑コンデンサと、

30 前記一対のスイッチの両端のうち他方と前記平滑コンデンサの他端との間に接続され、前記平滑コンデンサの放電電流を流すための放電用ダイオードと、

前記一対のスイッチの接続点と 1 次巻線の一端が接続され、前記一対のスイッチの一方側を経由して流れる回生電流の検出を行うカレントトランスと、

前記カレントトランスの 1 次巻線の他端と前記平滑コンデンサの他端との間に接続され、前記一対のスイッチの他方がオン時に前記平滑コンデンサの充電電流を流す充電用ダイオードとを備え、

40 前記カレントトランスにより回生電流が検出される時に前記一対のスイッチの他方がオンになるのを禁止する電源装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、交流電源からの交流電圧を直流電圧に変換し、この直流電圧を高周波電圧に変換して負荷共振回路に高周波電力を供給する電源装置に関するものである。

## 【0002】

50 【従来の技術】図 16 は従来の電源装置の一例を示す概

略構成図で（特開平 9-98580 号公報参照）、この電源装置は、交流電源  $V_s$  からの交流電力を直流電力に全波整流する全波整流器 DB と、この全波整流器 DB の両出力端子間に直列接続される FETQ1、Q2 と、全波整流器 DB の正極性出力端子と一端が接続されるインダクタ L1 と、このインダクタ L1 の他端と正極性端子が接続される平滑用のコンデンサ C1 と、FETQ2 のドレイン・ソース間に直列接続されるコンデンサ C2、インダクタ L2 および負荷 LD と、FETQ2 のソースとコンデンサ C1 の負極性端子との間に接続されるダイオード D1 と、コンデンサ C1 の負極性端子と FETQ1、Q2 の接続点との間に接続されるダイオード D2 と、全波整流器 DB の出力側に並列接続されるコンデンサ C3 とを備え、図略の他励式の制御回路により FETQ1、Q2 がオン／オフされる構成になっている。

【0003】この構成の電源装置の動作について概説すると、電源投入により FETQ2 がオンになれば、交流電源  $V_s$ 、全波整流器 DB、インダクタ L1、コンデンサ C1、ダイオード D2、FETQ2、全波整流器 DB、および交流電源  $V_s$  の経路（経路 A という）にコンデンサ C1 を充電する大電流が流れる。この後、FETQ2 がオフになれば、インダクタ L1、コンデンサ C1、ダイオード D2、FETQ1 の寄生ダイオード、およびインダクタ L1 の経路（経路 B という）に回生電流が流れる。

【0004】ここで、この回生電流は、コンデンサ C1 の充電電圧が低いので非常に長期間流れることになり、FETQ2 が再度オンになるときに、そのような回生電流がまだ流れていることとなる。この結果、FETQ1 の寄生ダイオードの回復時間中に FETQ1、Q2 が瞬時に短絡状態となり、両 FET の  $di/dt$  が大きくなって、両 FET に大きなストレスが加わるという問題が生じるのである。

【0005】図 17 はこの問題を解決し得る従来の電源装置の概略構成図で（上記同公報参照）、この電源装置は、図 16 に示す電源装置との相違点として、FETQ2 のドレイン・ソース間に直列接続される抵抗 R3 および FETQ3 と、FETQ1～Q3 のオン／オフ制御を行う制御回路とを備えている。

【0006】この制御回路は、FETQ3 を駆動する起動回路 1 と、この起動回路 1 の出力信号を利用して FETQ1、Q2 を駆動する発振回路 2 とを備えている。

【0007】ここで、この電源装置による上記ストレスの低減原理について説明すると、電源が投入されると、まず起動回路 1 が作動して FETQ3 がオンになり、交流電源  $V_s$ 、全波整流器 DB、インダクタ L1、コンデンサ C1、ダイオード D2、抵抗 R3、FETQ3、全波整流器 DB、および交流電源  $V_s$  の経路にコンデンサ C1 を充電する電流が流れる。これにより、コンデンサ C1 が先行充電され、充電電圧が高くなる。この後、発

振回路 2 が作動して FETQ2 がオンになり、上記経路 A に充電電流が流れるが、この充電電流の流れる期間は上記先行充電によって短くなる。この結果、上述のいわゆる同時オンの発生防止が可能となる。

【0008】

【発明が解決しようとする課題】しかしながら、図 17 に示す従来の電源装置では、抵抗 R1、FETQ3 のような電力素子、および FETQ3 を駆動する起動回路 1 が必要となる。

【0009】本発明は、上記事情に鑑みてなされたものであり、電力素子の部品点数を増大させずにスイッチに対するストレスを低減し得る電源装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上記課題を解決するために請求項 1 記載の発明の電源装置は、交流電源からの交流電力を直流電力に全波整流する全波整流器と、前記全波整流器の出力に接続され、LC 共振回路および負荷を含む負荷共振回路と一対のスイッチの直列回路とにより成るインバータと、前記インバータに直流電力を供給するための平滑コンデンサと、前記平滑コンデンサから前記インバータに直流電力を供給するための放電用ダイオードと、前記一対のスイッチの一方側を経由して流れる回生電流の検出を行うカレントトランスと、前記一対のスイッチの他方および前記カレントトランスを介して前記全波整流器の出力から前記平滑コンデンサに充電電流を流すための充電用ダイオードとを備え、前記カレントトランスにより回生電流が検出される時に前記一対のスイッチの他方がオンになるのを禁止するのである。

【0011】この構成では、カレントトランスにより回生電流が検出される時に一対のスイッチの他方、つまり平滑コンデンサに充電電流を流すためのスイッチがオンになるのを禁止されるので、この禁止期間中に上記回生電流が低減する。この結果、電力素子の部品点数を増大させずにスイッチに対するストレスの低減が可能になる。

【0012】なお、発振信号を生成し、この発振信号を用いて前記各スイッチのオン／オフ制御用の制御信号を生成する他励式の制御回路を備える構成でも（請求項 2）、電力素子の部品点数を増大させずにスイッチに対するストレスの低減が可能になる。

【0013】また、前記カレントトランスと磁気結合する駆動巻線に誘導される起電力を用いて、前記インバータの各スイッチのオン／オフ制御を行う自励式の制御回路を備え、前記カレントトランスは前記負荷共振回路の共振電流が流れる経路に配置される構成でも（請求項 3）、電力素子の部品点数を増大させずにスイッチに対するストレスの低減が可能になる。

【0014】また、前記カレントトランスおよび駆動巻線は可飽和のトランスにより構成されるものでもよい

(請求項4)。この構成によれば、トランスに大きな回生電流が流れると、そのトランスが磁気飽和の状態になって、駆動巻線に起電力が誘導されなくなる。この結果、インバータの各スイッチが制御回路によりオンされなくなり、そのトランスに流れる大きな回生電流が低減するようになる。

【0015】また、前記負荷共振回路と前記全波整流器の出力端子との間に接続されるインピーダンス素子を備える構成でもよい(請求項5)。この構成によれば、交流電源からの入力電流の引込みが改善される。この結果、入力電流歪みの改善が可能となる。

【0016】また、前記カレントトランスと並列接続されるインピーダンス素子を備える構成でもよい(請求項6)。この構成によれば、インピーダンス素子にも電流を流すことにより、カレントトランスに流す電流調整が可能になる。

【0017】また、前記平滑コンデンサを充電する複数の経路を有し、この複数の経路のうち一の経路上に前記カレントトランスが設けられる構成でもよい(請求項7)。この構成によれば、カレントトランスに流す電流調整が可能になる。

【0018】また、前記平滑コンデンサに流れる充電電流を分けて流出させるインダクタを備え、このインダクタの一分流経路上に前記カレントトランスが設けられる構成でもよい(請求項8)。この構成によれば、カレントトランスに流れる電流の調整が可能になる。

【0019】請求項9記載の発明の電源装置は、交流電源からの交流電力を直流電力に全波整流する全波整流器と、一對のスイッチの直列回路を含み、直流電圧を高周波電圧に変換するインバータと、前記インバータに直流電力を供給するための平滑コンデンサと、前記平滑コンデンサから前記インバータに直流電力を供給するための放電用ダイオードと、前記インバータの出力端子と前記全波整流器の直流出力端子との間に1次巻線が挿入されるトランスと、LC共振回路および負荷を含む負荷共振回路と、前記全波整流器に前記負荷共振回路を接続するためのインピーダンス素子と、前記一對のスイッチの一方がオン時にその一方のスイッチと前記負荷共振回路の一部とを介して前記平滑コンデンサに流れる充電電流が前記一對のスイッチの他方を介して回生するその回生電流を検出するカレントトランスとを備え、前記カレントトランスにより回生電流が検出される時に前記一對のスイッチの一方がオンになるのを禁止するものである。

【0020】この構成では、カレントトランスにより回生電流が検出される時に一對のスイッチの一方、つまり平滑コンデンサに充電電流を流すためのスイッチがオンになるのを禁止されるので、この禁止期間中に上記回生電流が低減する。この結果、電力素子の部品点数を増大させずにスイッチに対するストレスの低減が可能になる。

【0021】請求項10記載の発明の電源装置は、交流電力を直流電力に全波整流する全波整流器と、前記全波整流器の両出力端子間に直列接続される一對のスイッチと、前記全波整流器の両出力端子の一方と一端が接続される直流阻止用コンデンサと、インダクタ、このインダクタとともにLC共振回路を構成するコンデンサ、およびこのコンデンサと並列接続される負荷により成り、前記一對のスイッチの接続点と前記直流阻止用コンデンサの他端との間に接続される負荷共振回路と、前記一對のスイッチの両端のうち一方と一端が接続される平滑コンデンサと、前記一對のスイッチの両端のうち他方と前記平滑コンデンサの他端との間に接続され、前記平滑コンデンサの放電電流を流すための放電用ダイオードと、前記一對のスイッチの接続点と1次巻線の一端が接続され、前記一對のスイッチの一方側を経由して流れる回生電流の検出を行うカレントトランスと、前記カレントトランスの1次巻線の他端と前記平滑コンデンサの他端との間に接続され、前記一對のスイッチの他方がオン時に前記平滑コンデンサの充電電流を流す充電用ダイオードとを備え、前記カレントトランスにより回生電流が検出される時に前記一對のスイッチの他方がオンになるのを禁止するものである。

【0022】この構成では、カレントトランスにより回生電流が検出される時に一對のスイッチの他方、つまり平滑コンデンサに充電電流を流すためのスイッチがオンになるのを禁止されるので、この禁止期間中に上記回生電流が低減する。この結果、電力素子の部品点数を増大させずにスイッチに対するストレスの低減が可能になる。

【0023】

【発明の実施の形態】図1は本発明の第1実施形態に係る電源装置の概略構成図で、この図を用いて以下に第1実施形態の説明を行う。

【0024】図1に示す電源装置は、交流電源 $V_s$ からの交流電力を直流電力に全波整流する全波整流器DBと、この全波整流器DBの両出力端子間に直列接続されるFET $Q_1$ 、 $Q_2$ (一對のスイッチ)と、全波整流器DBの負極性出力端子と一端が接続される直流阻止用のコンデンサ(インピーダンス素子)C11と、インダクタL10、このインダクタL10とともにLC共振回路を構成するコンデンサC10、およびこのコンデンサC10と並列接続される負荷RLにより成り、FET $Q_1$ 、 $Q_2$ の接続点とコンデンサC11の他端との間に接続される負荷共振回路LD1と、FET $Q_1$ のドレインと正極性端子が接続される平滑用のコンデンサCE10と、このコンデンサCE10の負極性端子と一端が接続されるインダクタL11と、FET $Q_2$ のソースとコンデンサCE10の負極性端子との間、すなわちFET $Q_2$ のソースとインダクタL11の他端との間に接続され、コンデンサCE10の放電電流を流すためのダイオ

ード（放電用ダイオード）D11と、FETQ1、Q2の接続点と一端が接続される1次巻線n1を有するとともに2次巻線n2を有し、FETQ1側を経由して流れる回生電流の検出を行う可飽和のカレントトランス（以下トランスという）CT10と、このトランスCT10の1次巻線n1の他端とインダクタL11の他端との間に接続され、FETQ2がオン時にコンデンサCE10の充電電流を流すダイオード（充電用ダイオード）D12と、コンデンサCE10、インダクタL11およびダイオードD11と並列接続されるコンデンサC12とを具備している。

【0025】ただし、FETQ1、Q2は、それぞれ逆並列接続される寄生ダイオードDQ1、DQ2を有している。また、FETQ1、Q2および負荷共振回路LD1などによりインバータが構成され、このインバータには、例えばダイオードD11を介してコンデンサCE10から電力が供給される。また、インバータのFETQ2を兼用し、コンデンサCE10、インダクタL11、ダイオードD12、およびFETQ2により降圧チョッパが構成される。さらに、FETQ1、Q2をオン/オフ制御する制御回路が設けられている。

【0026】この制御回路は、トランスCT10の2次巻線n2に接続されトランスCT10の磁気飽和の検出を行う検出回路11と、所定の発振信号を生成する発振回路12と、この発振回路12からの発振信号を用いてオン/オフ用の駆動信号を生成して、この駆動信号を用いてFETQ1、Q2の駆動を行うとともに、検出回路11によりトランスCT10の磁気飽和が検出されるとFETQ1、Q2がオンになるのを禁止する駆動回路13とにより構成されている。ただし、この駆動回路13は、起動時には、FETQ2をオンにする駆動信号を最初に送出する構成になっている。

【0027】図2は図1に示す電源装置の動作説明図で、この図を用いてまず第1実施形態の概略動作について説明する。

【0028】FETQ2がオンになると、図2（a）に示すように、降圧チョッパ側では、交流電源Vs、全波整流器DB、コンデンサCE10、インダクタL11、ダイオードD12、トランスCT10、FETQ2、全波整流器DBおよび交流電源Vsの経路（閉ループ）に充電電流が流れ、この充電電流によりコンデンサCE10が充電されるとともに、インダクタL11に磁気エネルギーが蓄積される。一方、インバータ側では、コンデンサC11、コンデンサC10と負荷RLの並列回路、インダクタL10、FETQ2、およびコンデンサC11の経路に共振電流が流れる。

【0029】この後、FETQ2がオフになると、図2（b）に示すように、インダクタL11に蓄積された磁気エネルギーによって、インダクタL11、ダイオードD12、トランスCT10、寄生ダイオードDQ1、コ

ンデンサCE10、およびインダクタL11の経路に回生電流が流れ、インダクタL11に蓄積された磁気エネルギーがコンデンサCE10に放出される。一方、インダクタL10、寄生ダイオードDQ1、コンデンサC12、コンデンサC11、コンデンサC10と負荷RLの並列回路、およびインダクタL10の経路に共振電流が流れる。

【0030】この後、この共振電流は、図2（c）に示すように転流して、コンデンサC12、寄生ダイオードDQ1、インダクタL10、コンデンサC10と負荷RLの並列回路、コンデンサC11、およびコンデンサC12の経路を流れる。なお、この共振電流は、回生電流による順方向のバイアス電流が寄生ダイオードDQ1に流れるので、この寄生ダイオードDQ1を通過できる。

【0031】図3は図1に示す電源装置の各部の信号波形図で、この図を用いてスイッチング素子に対するストレスの低減原理について説明する。ただし、図3において、Icは降圧チョッパ側を流れる電流、V11は検出回路11の出力信号、Voscは発振回路12の出力信号、およびVG2は駆動回路13からのFETQ2の駆動信号の各波形を示す。

【0032】回路の起動時にFETQ2がオンになると（時点t11）、降圧チョッパ側では、充電電流Icが図2（a）に示す実線の経路に流れる。このとき、コンデンサCE10の充電電位が低く、コンデンサCE10と交流電源Vsとの電位差が大きいため、充電電流Icは大電流となる。このような大電流となる充電電流IcがトランスCT10に流れると、トランスCT10は磁気飽和の状態になり、この状態を検出する検出回路11からハイレベルとなる信号V11が出力される（時点t12）。

【0033】このハイレベルの信号V11が駆動回路13に取り込まれると、これ以降、FETQ1、Q2オン用の駆動信号が駆動回路13から出力されなくなり、FETQ1、Q2はともにオフ状態を維持する。これにより、このオフ状態の期間中、図2（b）、（c）に示す回路動作を繰り返しつつ、降圧チョッパの回生電流Icが減少する。

【0034】この後、この回生電流Icが小さくなって、トランスCT10が磁気飽和の状態から解放されると、検出回路11からローレベルとなる信号V11が出力される（時点t13）。このローレベルの信号V11が駆動回路13に取り込まれると、駆動回路13は、FETQ1、Q2オン用の駆動信号の出力停止（禁止）を解除する。これにより、FETQ1、Q2はオン可能となる。

【0035】この後、発振回路12の信号Voscから得られる駆動信号VG2が駆動回路13からFETQ2に送出されると（時点t14）、FETQ2がオンになる。図3に示す例では、次にFETQ1がオンになる前

に、検出回路11からハイレベルとなる信号V11が出力されるので(時点t15)、これ以降、FETQ1、Q2オン用の駆動信号が駆動回路13から出力されなくなり、FETQ1、Q2はともにオフ状態を維持する。

【0036】このような動作は、コンデンサCE10の充電電流が小さくなり、トランスCT10が磁気飽和の状態にならなくなるまで繰り返され、トランスCT10が磁気飽和の状態にならなくなると、FETQ1、Q2を交互にオン/オフさせる駆動信号VG1、VG2が駆動回路11から出力されることとなる。

【0037】以上、第1実施形態によれば、FETQ2のオフの後、コンデンサCE10を流れる回生電流が大きいとき、この状態をトランスCT10の磁気飽和により検知して、駆動回路13からのFETQ2オン用の駆動信号の出力を停止することにより、寄生ダイオードDQ1を流れる回生電流が小さい時のみFETQ2をオンにすることが可能になる。この結果、同時オン電流が回路に流れるのを防止可能となる。

【0038】また、トランジスタや抵抗などの電力素子ではなく、可飽和のカレントトランスを用いることで同

時オンを防止することができる。

【0039】さらに、実際に回路内を流れる回生電流のレベルに応じてFETQ2のオン停止制御が可能になる。

【0040】なお、第1実施形態では、FETQ1、Q2を使用する構成になっているが、これに限らず、トランジスタなどの他のスイッチング素子が使用される構成でもよく、この場合、それら各スイッチング素子にダイオードが逆並列接続される構成であればよい。

【0041】図4は本発明の第2実施形態に係る電源装置の概略構成図で、この図を用いて以下に第2実施形態の説明を行う。ただし、上記実施形態と同一と認められるものには同一の符号を使用する。

【0042】図4に示す電源装置は、全波整流器DB、FETQ1、Q2、コンデンサC11、C12、負荷共振回路LD1、コンデンサCE10、インダクタL11およびダイオードD11、D12を第1実施形態と同様に備えているほか、第1実施形態との相違点として、負荷共振回路LD1とFETQ1、Q2の接続点との間に介在し、この接続点と一端が接続される1次巻線n21を有するとともに、2次巻線n22、n23を有するカレントトランス(以下トランスという)CT20と、FETQ1、Q2をオン/オフ制御する別の制御回路を備えている。

【0043】この制御回路は、2次巻線n22、この2次巻線n22とともにFETQ1のゲート・ソース間に直列接続されるゲート抵抗R1、2次巻線n23、およびこの2次巻線n23とともにFETQ2のゲート・ソース間に直列接続されるゲート抵抗R2により成るいわゆる自励式の駆動回路と、発振開始用の起動回路20と

により構成されている。

【0044】この起動回路20は、全波整流器DBの両出力端子間に直列接続される抵抗RgおよびコンデンサCgと、これらの接続点と1次巻線n21の他端との間に接続されるダイオードDgと、同じくその接続点と抵抗R2および2次巻線n23の接続点との間に接続されるダイアックTgとにより成り、電源の投入により抵抗Rgを介して徐々に充電されるコンデンサCgの電圧値がダイアックTgのしきい値を越えた時点で、コンデンサCgの電圧をFETQ2のゲートに印加してこれをオンにするものである。

【0045】ただし、上記トランスCT20は、FETQ1側を経由して流れる回生電流の検出も行い、この回生電流が大きいと磁気飽和の状態になる仕様となっている。また、トランスCT20の各巻線は図4に示す極性になっている。すなわち、回路共振によって、FETQ1、Q2の各ゲートに互いに逆極性となる電圧が印加してFETQ1、Q2が交互にオン/オフする極性になっているのである。

【0046】図5は図4に示す電源装置の動作説明図で、この図を用いてまず第2実施形態の概略動作について説明する。ただし、図5には、起動回路20が図示省略されている。

【0047】FETQ2がオンになると、図5(a)に示すように、降圧チョッパ側では、交流電源Vs、全波整流器DB、コンデンサCE10、インダクタL11、ダイオードD12、トランスCT20、FETQ2、全波整流器DB、および交流電源Vsの経路に充電電流が流れ、この充電電流によりコンデンサCE10が充電されるとともに、インダクタL11に磁気エネルギーが蓄積される。一方、インバータ側では、コンデンサC11、コンデンサC10と負荷RLの並列回路、インダクタL10、トランスCT20、FETQ2、およびコンデンサC11の経路に共振電流が流れる。

【0048】この後、トランスCT20の2次側電圧が反転すると、FETQ2がオフになり、図5(b)に示すように、インダクタL11に蓄積された磁気エネルギーによって、インダクタL11、ダイオードD12、トランスCT20、寄生ダイオードDQ1、コンデンサCE10、およびインダクタL11の経路に回生電流が流れ、インダクタL11に蓄積された磁気エネルギーがコンデンサCE10に放出される。一方、負荷共振回路LD1側では、インダクタL10、トランスCT20、寄生ダイオードDQ1、コンデンサC12、コンデンサC11、コンデンサC10と負荷RLの並列回路、およびインダクタL10の経路に共振電流が流れる。

【0049】この後、この共振電流は、図5(c)に示すように転流して、コンデンサC12、寄生ダイオードDQ1、トランスCT20、インダクタL10、コンデンサC10と負荷RLの並列回路、コンデンサC11、

およびコンデンサ C 1 2 の経路を流れる。

【0050】図6は図4に示す電源装置の各部の信号波形図で、この図を用いてスイッチング素子に対するストレスの低減原理について説明する。

【0051】回路の起動時に、起動回路20によってFETQ2がオンになると(時点t21)、降圧チョッパ側では、充電電流Icが図5(a)に示す実線の経路に流れる。このとき、コンデンサCE10の充電電位が低く、コンデンサCE10と交流電源Vsとの電位差が大きいので、充電電流Icは大電流となる。

【0052】ここで、第2実施形態の制御回路を構成する駆動回路は自励式であって、インダクタL10を流れる共振電流とインダクタL11を流れる降圧チョッパ電流との合成電流がトランスCT20に流れ、その合成電流によりFETQ1、Q2用の駆動信号が生成される。したがって、大電流の充電電流(降圧チョッパ電流)がトランスCT20に流れると、トランスCT20が磁気飽和の状態となって2次側に起電力が生じなくなるから、FETQ1、Q2に対する駆動信号が生成されなくなる。すなわち、FETQ1、Q2オン用の駆動信号の出力が停止され、FETQ1、Q2の双方のゲート電圧がゼロに降下するのである。

【0053】図6に示すように、FETQ2のゲート電圧がゼロに降下していくと、やがてFETQ2がオフ状態になる(時点t22)。これにより、このオフ状態の期間中、図5(b)、(c)に示す回路動作を繰り返しつつ、降圧チョッパの回生電流が減少する。

【0054】この後、この回生電流が小さくなって、トランスCT20が磁気飽和の状態から解放されると、FETQ1、Q2オン用の駆動信号の出力停止が解除される。これにより、FETQ1、Q2はオン可能となる。

【0055】このようなコンデンサCE10を充電する一連の動作がしばらく続くと、コンデンサCE10の充電電流が次第に小さくなり、トランスCT20が磁気飽和の状態にならなくなり、以降、発振が連続的になる。

【0056】以上、第2実施形態によれば、トランスCT20が発振機能および発振停止機能の双方を有するので、非常に簡単な回路構成で同時オンを抑制することが可能になる。

【0057】図7は本発明の第3実施形態に係る電源装置の概略構成図で、この図を用いて以下に第3実施形態の説明を行う。

【0058】図7に示す電源装置は、全波整流器DB、FETQ1、Q2、コンデンサC11、C12、コンデンサCE10、インダクタL11、ダイオードD11、D12、トランスCT20および制御回路を第2実施形態と同様に備えているほか、第2実施形態との相違点として、全波整流器DBの負極性出力端子とFETQ2のソースとの間に介在するコンデンサC13、このコンデンサC13と並列接続されるダイオードD13、および

負荷共振回路LD2を備えている。

【0059】この負荷共振回路LD2は、一対のフィラメントを有する放電灯Laと、コンデンサC11とトランスCT20との間に介在する1次巻線を有するとともに放電灯Laの両フィラメントの各一端側と並列接続される2次巻線を有するリーケージトランス(以下トランスという)T1と、放電灯Laの両フィラメントの各他端側と並列接続されるコンデンサC10とにより構成されている。ただし、トランスT1は、第2実施形態の負荷共振回路LD1が有するインダクタL10に相当する漏れインダクタンス成分を有するように設計される。すなわち、その漏れインダクタンス成分とコンデンサC10とにより共振回路が構成されるように成っているのである。

【0060】図8は図7に示す電源装置の動作説明図で、この図を用いて第3実施形態の概略動作について説明する。ただし、図8には、起動回路20が図示省略されている。

【0061】FETQ2がオンになると、図8(a)に示すように、降圧チョッパ側では、交流電源Vs、全波整流器DB、コンデンサCE10、インダクタL11、ダイオードD12、トランスCT20、FETQ2、ダイオードD13、全波整流器DB、および交流電源Vsの経路に充電電流が流れ、この充電電流によりコンデンサCE10が充電されるとともに、インダクタL11に磁気エネルギーが蓄積される。一方、インバータ側では、コンデンサC11、トランスT1、トランスCT20、FETQ2、ダイオードD13、およびコンデンサC11の経路に共振電流が流れる。

【0062】この後、トランスCT20の2次側電圧が反転すると、FETQ2がオフになり、図8(b)に示すように、インダクタL11に蓄積された磁気エネルギーによって、インダクタL11、ダイオードD12、トランスCT20、寄生ダイオードDQ1、コンデンサCE10、およびインダクタL11の経路に回生電流が流れ、インダクタL11に蓄積された磁気エネルギーがコンデンサCE10に放出される。一方、トランスT1、トランスCT20、寄生ダイオードDQ1、コンデンサC12、ダイオードD13、コンデンサC11、およびトランスT1の経路に共振電流が流れる。

【0063】この後、この共振電流は、図8(c)に示すように転流して、コンデンサC12、寄生ダイオードDQ1、トランスCT20、トランスT1、コンデンサC11、コンデンサC13、およびコンデンサC12の経路を流れる。この共振電流は、寄生ダイオードDQ1に降圧チョッパ電流が流れている限り上記経路を流れ振動する。

【0064】上記共振電流によって充電されたコンデンサC13の充電電圧が交流電源VsとコンデンサC12との電位差になると、図8(a)の実線で示した経路に



入力電流が流れ、高周波的に入力電圧に応じて入力電流が流れる。これにより、入力電流歪みの改善が可能になる。

【0065】ここで、上記動作において、トランスCT20を流れる、共振電流および回生電流の合成電流が、トランスCT20の磁気飽和を起こすほど大きいと、トランスCT20の2次側に誘導される共振による発振電圧が消失し、FETQ2をオンにすることができなくなる。すなわち、FETQ1、Q2オン用の駆動信号の出力が停止するのである。この結果、図8(b)および(c)の回路動作を繰り返しつつ、降圧チョップの回生電流が減少する。この後、この回生電流が小さくなって、トランスCT20が磁気飽和の状態から解放されると、FETQ1、Q2オン用の駆動信号の出力停止が解除される。これにより、FETQ1、Q2はオン可能となる。

【0066】以上、第3実施形態によれば、第2実施形態と同様の効果を奏することが可能になるほか、入力電流歪みの改善が可能になる。

【0067】図9は本発明の第4実施形態に係る電源装置の概略構成図で、この図を用いて以下に第4実施形態の説明を行う。

【0068】図9に示す電源装置は、ダイオードD12がコンデンサC11およびトランスT1の接続点とコンデンサCE10の負極性端子との間に接続されて、インダクタL11がトランスT1の励磁インダクタンスに置き換えられた構成になっている以外は、第3実施形態と同様に構成される。

【0069】図10は図9に示す電源装置の動作説明図で、この図を用いて第4実施形態の概略動作について説明する。ただし、図10には、起動回路20が図示省略されている。

【0070】起動回路20によりFETQ2がオンになると、図10(a)に示すように、交流電源Vs、全波整流器DB、コンデンサCE10、ダイオードD12、トランスT1、トランスCT20、FETQ2、ダイオードD13、全波整流器DB、および交流電源Vsの経路に充電電流が流れ、この充電電流によりコンデンサCE10が充電されるとともに、インダクタL11に磁気エネルギーが蓄積される。一方、コンデンサC11、トランスT1、トランスCT20、FETQ2、ダイオードD13、およびコンデンサC11の経路に共振電流が流れる。

【0071】この後、トランスCT20の2次側電圧が反転すると、FETQ2がオフになり、図10(b)に示すように、トランスT1、トランスCT20、寄生ダイオードDQ1、コンデンサCE10、ダイオードD12、およびトランスT1の経路に回生電流および共振電流の合成電流が流れる。

【0072】この後、図10(c)に示すように、共振

電流が同じ経路を転流するので、降圧チョップ電流(回生電流)がその転流した共振電流により減少するような振動が現れる。

【0073】ここで、上記動作において、トランスCT20を流れる、共振電流および回生電流の合成電流が、トランスCT20の磁気飽和を起こすほど大きいと、トランスCT20の2次側に誘導される共振による発振電圧が消失し、FETQ2をオンにすることができなくなる。この結果、図10(b)および(c)の回路動作を繰り返しつつ、降圧チョップの回生電流が減少する。この後、この回生電流が小さくなって、トランスCT20が磁気飽和の状態から解放されると、FETQ1、Q2オン用の駆動信号の出力停止が解除される。これにより、FETQ1、Q2はオン可能となる。つまり、第4実施形態でも、第3実施形態と同様の効果が得られることとなる。

【0074】図11は本発明の第5実施形態に係る電源装置の概略構成図で、この図を用いて以下に第5実施形態の説明を行う。

【0075】図11に示す電源装置は、トランスCT20の1次巻線n21と並列接続されるインピーダンス素子Zをさらに備える構成になっている以外は第3実施形態と同様に構成されている。

【0076】上記インピーダンス素子Zは、例えば低域通過フィルタのような特性を有し、降圧チョップ電流の一部のみを通過させ、トランスCT20の飽和レベルが回路動作に好適となるように、トランスCT20を流れる、共振電流および回生電流の合成電流を調整するためのものである。

【0077】第5実施形態でも、スイッチング素子に対するストレスを低減すべく、トランスCT20の磁気飽和の特性が利用されるのであるが、その一方で定常動作における発振を安定させる必要もあり、これら両者に対して満足となる調整をトランスCT20の特性のみに依存していると、設計が困難となる場合が生じる。

【0078】そこで、インピーダンス素子Zを設けることで降圧チョップ電流を分流し、トランスCT20に流れる電流を調整する構成を採用するのである。これにより、トランスCT20の磁気飽和を所望の回路動作に利用する場合に余分となる電流を、インピーダンス素子Zの方に流すことができるので、同時オン防止の回路設計が容易になるとともに、定格点灯時の安定動作の設計も容易になる。

【0079】図12は本発明の第6実施形態に係る電源装置の概略構成図で、この図を用いて以下に第6実施形態の説明を行う。

【0080】図12に示す電源装置は、交流電源Vsからの交流電力を直流電力に全波整流する全波整流器DBと、この全波整流器DBの負極性出力端子と順方向にカソードが接続されるダイオードD13と、このダイオー

10

20

30

40

50



ド D 1 3 と並列接続されるコンデンサ C 1 3 と、全波整流器 D B の両出力端子間、すなわち全波整流器 D B の正極性出力端子とダイオード D 1 3 のアノードとの間に直列接続される F E T Q 1, Q 2 と、全波整流器 D B の負極性出力端子と一端が接続される直流阻止用のコンデンサ C 1 1 と、F E T Q 1, Q 2 の接続点とコンデンサ C 1 1 の他端との間に接続される負荷共振回路 L D 2 と、F E T Q 1 のドレインと一端が接続されるインダクタ L 1 1 と、このインダクタ L 1 1 を介して F E T Q 1 のドレインと正極性端子が接続される平滑用のコンデンサ C E 1 0 と、F E T Q 2 のソースとコンデンサ C E 1 0 の負極性端子との間に接続され、コンデンサ C E 1 0 の放電電流を流すためのダイオード D 1 1 と、トランス T 1 と F E T Q 1, Q 2 の接続点との間に介在し、この接続点と一端が接続される 1 次巻線 n 2 1 を有するとともに 2 次巻線 n 2 2, 2 3 を有し、F E T Q 1 側を経由して流れる回生電流の検出を行うトランス C T 2 0 と、このトランス C T 2 0 の 1 次巻線 n 2 1 の他端とコンデンサ C E 1 0 の負極性端子との間に接続され、F E T Q 2 がオン時にコンデンサ C E 1 0 の充電電流を流すダイオード D 1 2 と、制御回路とを、第 1 実施形態とほぼ同様に備えている。つまり、上記回路配列は、インダクタ L 1 1 およびコンデンサ C E 1 0 の配列の順序が逆になっている以外は、第 1 実施形態と同一である。

【0081】また、上記電源装置は、インダクタ L 1 1 の他端と正極性端子が接続されるコンデンサ C E 2 0 と、このコンデンサ C E 2 0 の負極性端子と F E T Q 2 のソースとの間に接続され、コンデンサ C E 2 0 の放電電流を流すためのダイオード D 2 1 と、F E T Q 1, Q 2 の接続点とコンデンサ C E 2 0 の負極性端子との間に接続され、コンデンサ C E 2 0 の充電電流を流すためのダイオード D 2 2 とをさらに備えている。

【0082】すなわち、第 6 実施形態では、降圧チョップ側のコンデンサがコンデンサ C E 1 0 とコンデンサ C E 2 0 とに分けられ、降圧チョップ電流がトランス C T 2 0 を流れる経路と流れない経路とに分流する構成になっているのである。

【0083】この構成により、第 6 実施形態では第 5 実施形態と同様、トランス C T 2 0 を流れる、共振電流および回生電流の合成電流の調整が可能となる。この結果、同時オン防止の回路設計が容易になるとともに、定格点灯時の安定動作の設計も容易になる。

【0084】図 1 3 は本発明の第 7 実施形態に係る電源装置の概略構成図で、この図を用いて以下に第 7 実施形態の説明を行う。

【0085】図 1 3 に示す電源装置は、トランス C T 2 0 の一次巻線 n 2 1 がトランス T 1 の 2 次側に介設される構成になっている以外は、第 7 実施形態と同様に構成されている。ただし、1 次巻線 n 2 1 の一端は、トランス T 1 の 2 次巻線に接続されているとともに F E T Q

1, Q 2 の接続点に接続されている一方、1 次巻線 n 2 1 の他端は、放電灯 L a の一方のフィラメントの一端に接続されているとともにダイオード D 1 2 のカソードに接続されている。

【0086】このように、トランス C T 2 0 をトランス T 1 の 2 次側に設けることにより、トランス C T 2 0 に流れる電流が減少するので、トランス C T 2 0 の小型化が可能になり、発振回路の設計性が向上する。

【0087】また、降圧チョップ側のコンデンサがコンデンサ C E 1 0 とコンデンサ C E 2 0 とに分けられ、降圧チョップ電流がトランス C T 2 0 を流れる経路と流れない経路とに分流する構成になっているので、トランス C T 2 0 を流れる、共振電流および回生電流の合成電流の調整が可能となり、この結果、同時オン防止の回路設計が容易になるとともに、定格点灯時の安定動作の設計も容易になる。

【0088】図 1 4 は本発明の第 8 実施形態に係る電源装置の概略構成図で、この図を用いて以下に第 8 実施形態の説明を行う。

【0089】図 1 4 に示す電源装置は、交流電源 V s からの交流電力を直流電力に全波整流する全波整流器 D B と、この全波整流器 D B の負極性出力端子と順方向にカソードが接続されるダイオード D 1 3 と、このダイオード D 1 3 と並列接続されるコンデンサ C 1 3 と、全波整流器 D B の両出力端子間、すなわち全波整流器 D B の正極性出力端子とダイオード D 1 3 のアノードとの間に直列接続される F E T Q 1, Q 2 と、全波整流器 D B の負極性出力端子と一端が接続される直流阻止用のコンデンサ C 1 1 と、F E T Q 1, Q 2 の接続点とコンデンサ C 1 1 の他端との間に接続される負荷共振回路 L D 2 と、F E T Q 1 のドレインと正極性端子が接続される平滑用のコンデンサ C E 1 0 と、中間タップを有し、コンデンサ C E 1 0 の負極性端子と一端が接続されるインダクタ L 2 1 と、F E T Q 2 のソースとコンデンサ C E 1 0 の負極性端子との間、すなわち F E T Q 2 のソースとインダクタ L 2 1 の他端との間に接続され、コンデンサ C E 1 0 の放電電流を流すためのダイオード D 1 1 と、トランス T 1 と F E T Q 1, Q 2 の接続点との間に介在し、この接続点と 1 次巻線 n 2 1 の一端が接続され、F E T Q 1 側を経由して流れる回生電流の検出を行うトランス C T 2 0 と、インダクタ L 2 1 の中間タップと一端が接続されるインピーダンス素子 Z と、1 次巻線 n 2 1 の他端とコンデンサ C E 1 0 の負極性端子との間、すなわち 1 次巻線 n 2 1 の他端とインピーダンス素子 Z の他端との間に接続され、F E T Q 2 がオン時にコンデンサ C E 1 0 の充電電流を流すダイオード D 1 2 と、F E T Q 1, Q 2 の接続点とインダクタ L 2 1 の他端との間に接続され、コンデンサ C E 1 0 の充電電流を流すためのダイオード D 3 2 と、第 3 実施形態と同様の制御回路とを備えている。

【0090】すなわち、第8実施形態では、降圧チョップ側のインダクタL21が中間タップを有することで実質的に2つに分けられ、降圧チョップ電流が、インダクタL21の中間タップからインピーダンス素子ZおよびダイオードD12を経由してトランスCT20を流れる経路と、インダクタL21の他端からダイオードD32を経由してトランスCT20を流れない経路とに分流する構成になっているのである。

【0091】この構成では、インピーダンス素子Zの特性によって、トランスCT20の磁気飽和を所望の回路動作に利用する場合に好適となる電流を、トランスCT20の方に流すことができる。換言すると、トランスCT20の磁気飽和を所望の回路動作に利用する場合に余分となる電流を、ダイオードD32側に流すことができるのである。この結果、同時オン防止の回路設計が容易になるとともに、定格点灯時の安定動作の設計も容易になる。また、第6実施形態よりも分流用に必要な素子数を低減することができる。

【0092】図15は本発明の第9実施形態に係る電源装置の概略構成図で、この図を用いて以下に第9実施形態の説明を行う。

【0093】図15に示す電源装置は、トランスCT20の一次巻線n21がトランスT1の2次側に介設される構成になっている以外は、第8実施形態と同様に構成されている。ただし、1次巻線n21の一端は、トランスT1の2次巻線に接続されているとともにFETQ1、Q2の接続点に接続されている一方、1次巻線n21の他端は、放電灯Laの一方のフィラメントの一端に接続されているとともにダイオードD12のカソードに接続されている。

【0094】この構成では、第8実施形態と同様の効果を奏することが可能になるほか、トランスCT20をトランスT1の2次側に設けることにより、トランスCT20に流れる電流が減少するので、トランスCT20の小型化が可能になり、発振回路の設計性が向上する。

#### 【0095】

【発明の効果】請求項1記載の発明によれば、交流電源からの交流電力を直流電力に全波整流する全波整流器と、前記全波整流器の出力に接続され、LC共振回路および負荷を含む負荷共振回路と一対のスイッチの直列回路とにより成るインバータと、前記インバータに直流電力を供給するための平滑コンデンサと、前記平滑コンデンサから前記インバータに直流電力を供給するための放電用ダイオードと、前記一対のスイッチの一方側を経由して流れる回生電流の検出を行うカレントトランスと、前記一対のスイッチの他方および前記カレントトランスを介して前記全波整流器の出力から前記平滑コンデンサに充電電流を流すための充電用ダイオードとを備え、前記カレントトランスにより回生電流が検出される時に前記一対のスイッチの他方がオンになるのを禁止するの

で、電力素子の部品点数を増大させずにスイッチに対するストレスの低減が可能になる。

【0096】請求項2記載の発明によれば、発振信号を生成し、この発振信号を用いて前記各スイッチのオン/オフ制御用の制御信号を生成する他励式の制御回路を備えるので、電力素子の部品点数を増大させずにスイッチに対するストレスの低減が可能になる。

【0097】請求項3記載の発明によれば、前記カレントトランスと磁気結合する駆動巻線に誘導される起電力を用いて、前記インバータの各スイッチのオン/オフ制御を行う自励式の制御回路を備え、前記カレントトランスは前記負荷共振回路の共振電流が流れる経路に配置されるので、電力素子の部品点数を増大させずにスイッチに対するストレスの低減が可能になる。

【0098】請求項4記載の発明によれば、前記カレントトランスおよび駆動巻線は可飽和のトランスにより構成されるので、トランスに流れる大きな回生電流の低減が可能になる。

【0099】請求項5記載の発明によれば、前記負荷共振回路と前記全波整流器の出力端子との間に接続されるインピーダンス素子を備えるので、入力電流歪みの改善が可能となる。

【0100】請求項6記載の発明によれば、前記カレントトランスと並列接続されるインピーダンス素子を備えるので、カレントトランスに流す電流調整が可能になる。

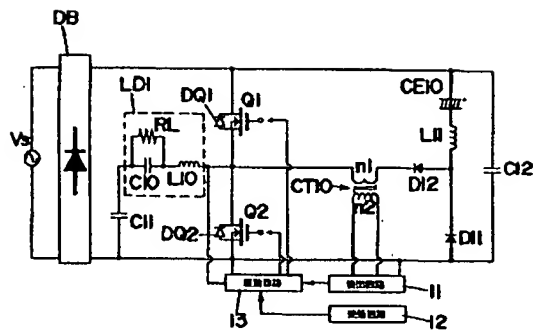
【0101】請求項7記載の発明によれば、前記平滑コンデンサを充電する複数の経路を有し、この複数の経路のうち一の経路上に前記カレントトランスが設けられるので、カレントトランスに流す電流調整が可能になる。

【0102】請求項8記載の発明によれば、前記平滑コンデンサに流れる充電電流を分けて流出させるインダクタを備え、このインダクタの一の分流経路上に前記カレントトランスが設けられるので、カレントトランスに流す電流調整が可能になる。

【0103】請求項9記載の発明によれば、交流電源からの交流電力を直流電力に全波整流する全波整流器と、一対のスイッチの直列回路を含み、直流電圧を高周波電圧に変換するインバータと、前記インバータに直流電力を供給するための平滑コンデンサと、前記平滑コンデンサから前記インバータに直流電力を供給するための放電用ダイオードと、前記インバータの出力端子と前記全波整流器の直流出力端子との間に1次巻線が挿入されるトランスと、LC共振回路および負荷を含む負荷共振回路と、前記全波整流器に前記負荷共振回路を接続するためのインピーダンス素子と、前記一対のスイッチの一方がオン時にその一方のスイッチと前記負荷共振回路の一部とを介して前記平滑コンデンサに流れる充電電流が前記一対のスイッチの他方を介して回生するその回生電流を検出するカレントトランスとを備え、前記カレントトラ

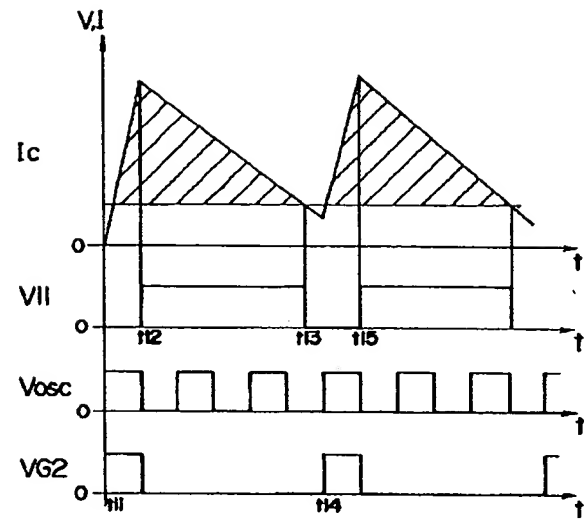


【図 1】

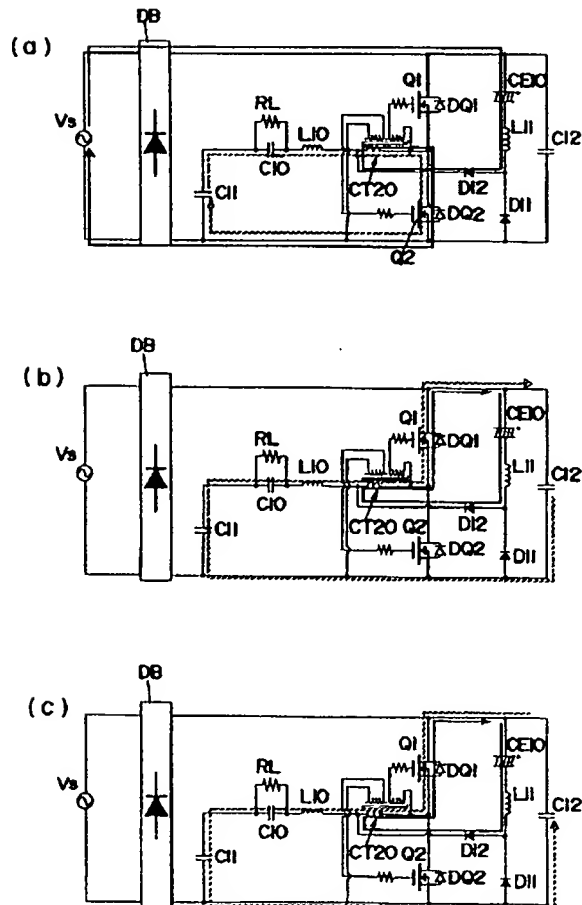


DB 全波整流器  
 Q1, Q2 FET  
 C10~C12 コンデンサ  
 CE10 コンデンサ  
 L10, L11 インダクタ  
 RL 負荷  
 LD1 負荷共振回路  
 D11, D12 ダイオード  
 CT10 トランス (カレントトランス)

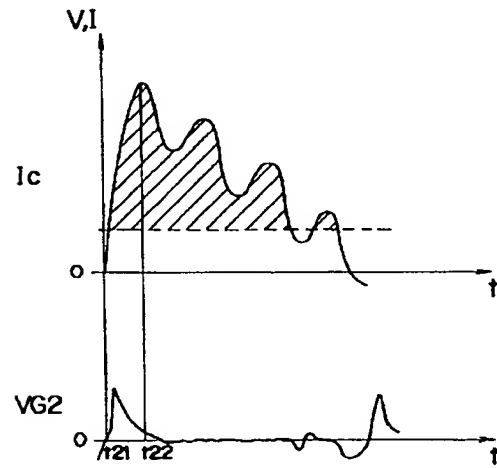
【図 3】



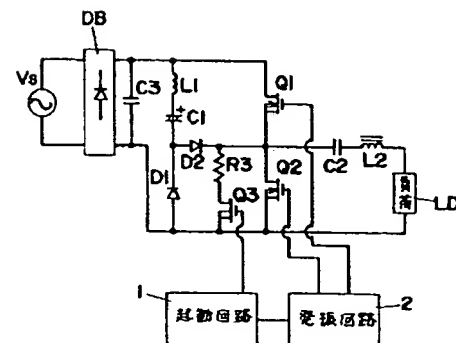
【図 5】



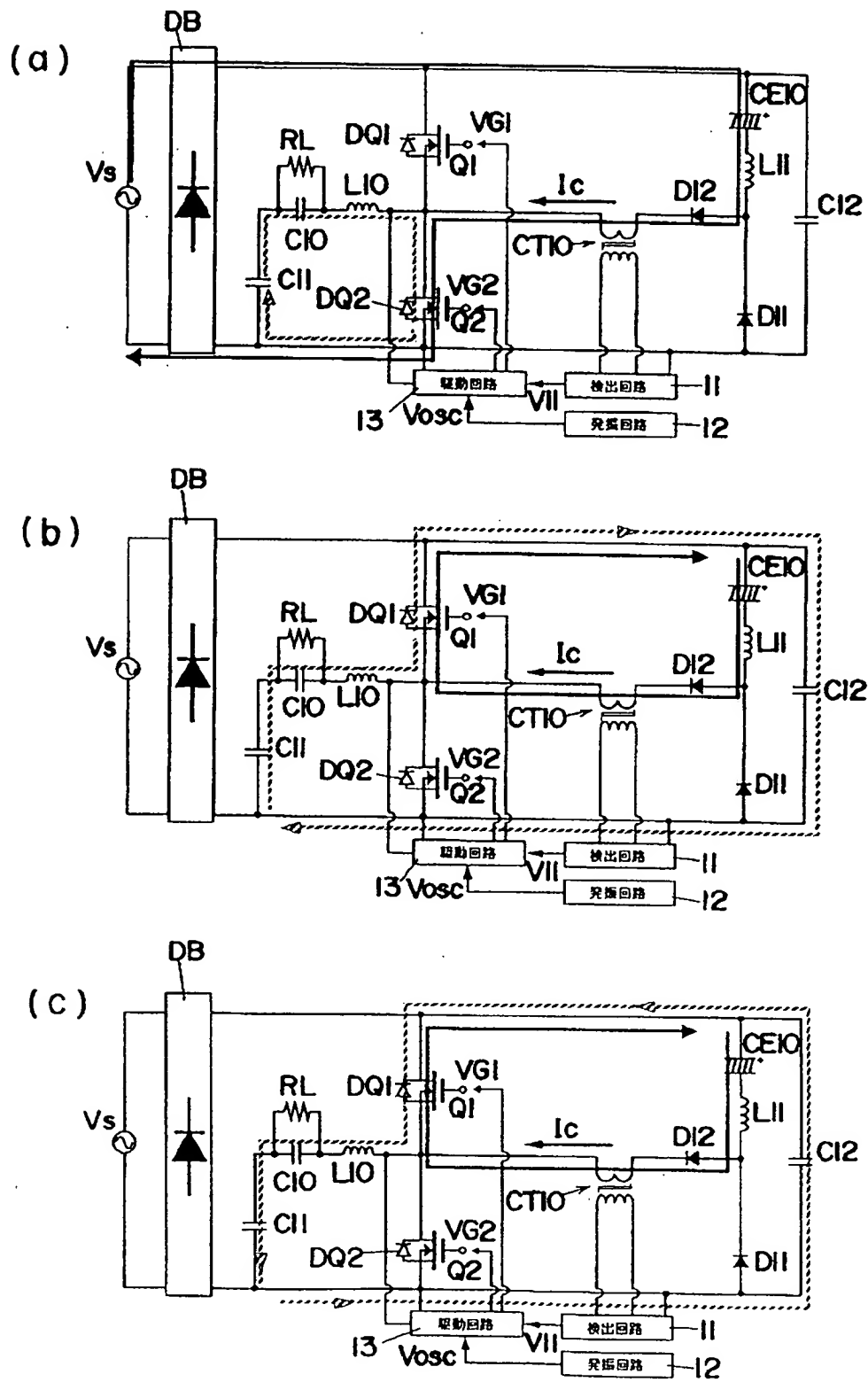
【図 6】



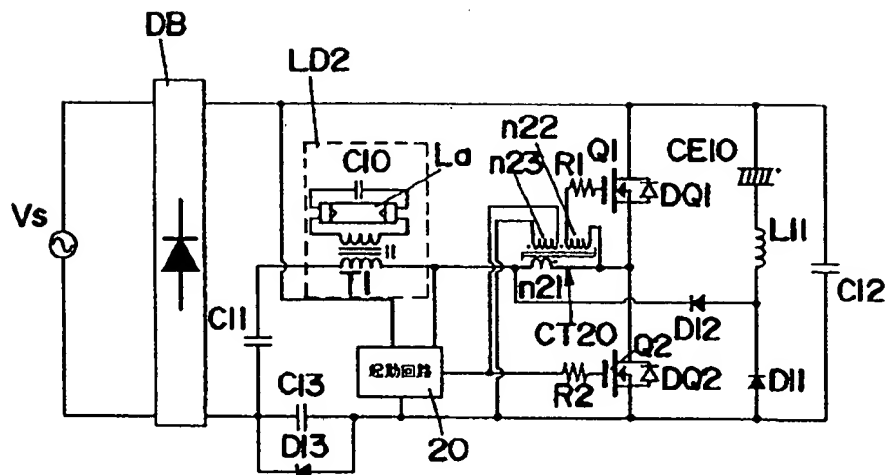
【図 17】



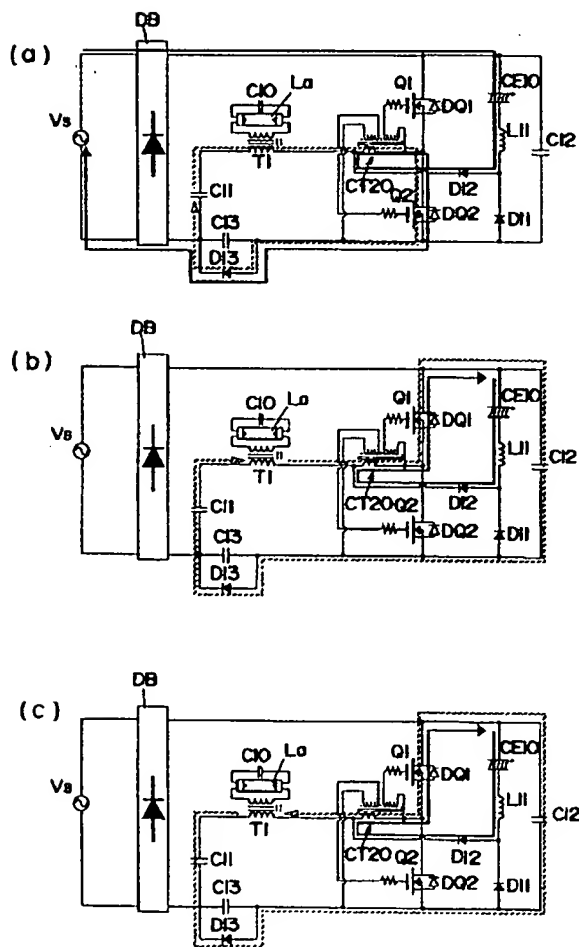
【図 2】



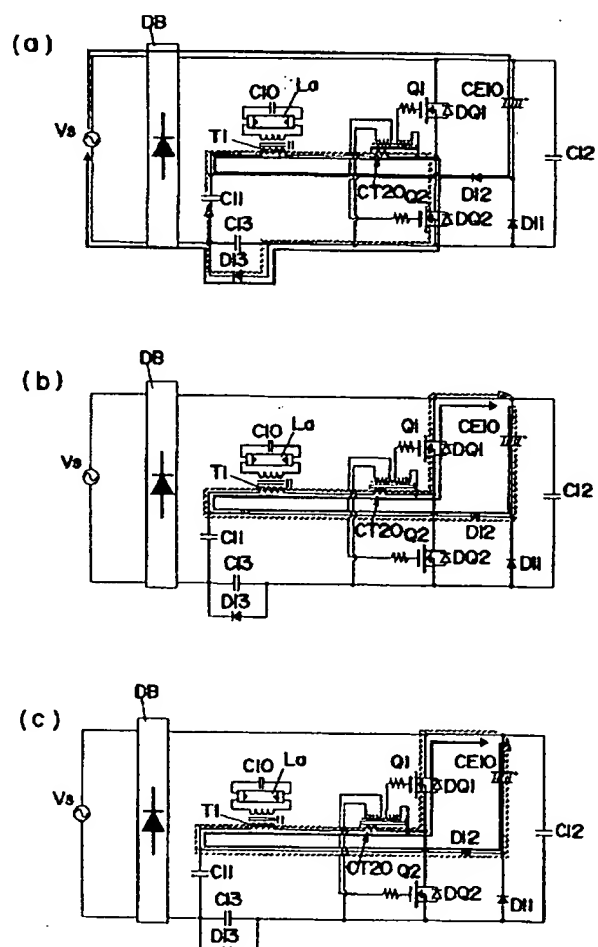
【图 7】



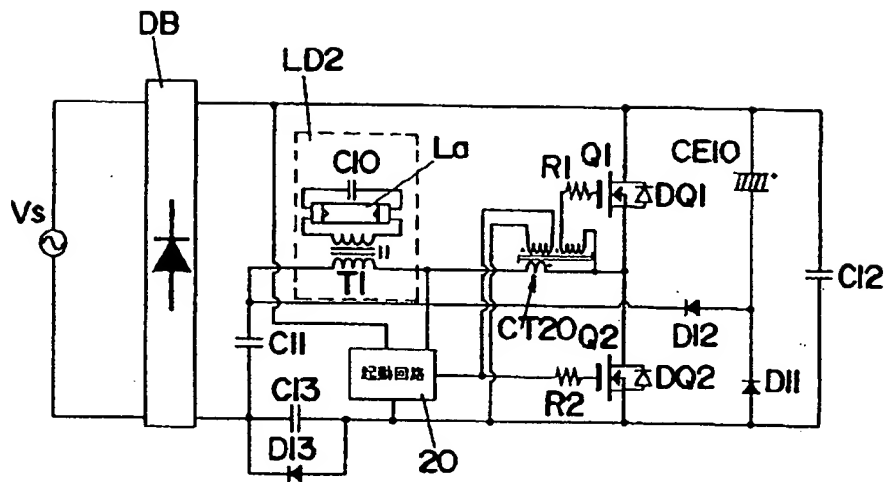
【図 8】



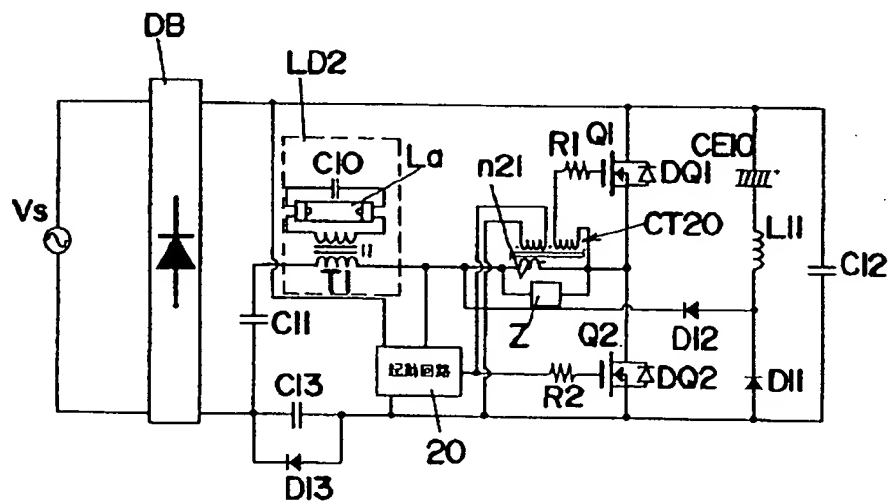
【図 10】



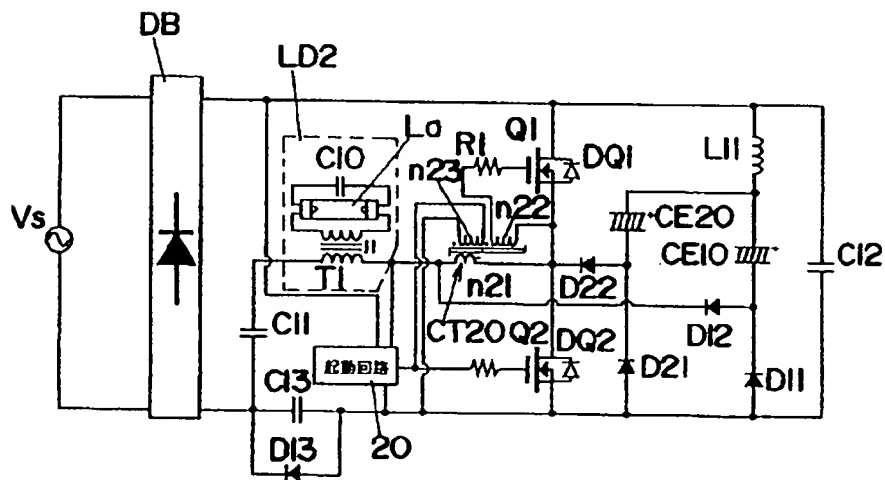
【図 9】



【図 11】



【図 12】







## フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	ターマコード (参考)
H 0 2 M 7/538		H 0 2 M 7/538	A
H 0 5 B 41/24		H 0 5 B 41/24	L
(72) 発明者 中野 智之		F ターム (参考)	3K072 AA02 BA03 BA05 BB01 BC01
大阪府門真市大字門真1048番地松下電工株			BC02 CA16 CB02 DB03 DD04
式会社内			DE02 GA02 GB12 GC02 GC04
(72) 発明者 万波 寛明			HA05
大阪府門真市大字門真1048番地松下電工株			5H006 AA02 BB01 BB08 CA02 CA07
式会社内			CA12 CA13 CB01 CC02 DA02
			DA04 DC02 GA01
			5H007 AA02 AA03 AA08 BB03 CA02
			CB04 CB12 CB22 CB25 CC03
			CC32 DA03 DA05 DA06 DB01
			DC02 EA03 EA09 GA01



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000270555 A**(43) Date of publication of application: **29.09.00**

(51) Int. Cl. **H02M 7/48**  
**H02M 7/12**  
**H02M 7/537**  
**H02M 7/538**  
**H05B 41/24**

(21) Application number: **11069319**(22) Date of filing: **15.03.99**(71) Applicant: **MATSUSHITA ELECTRIC WORKS LTD**

(72) Inventor: **IDO SHIGERU**  
**MURAKAMI YOSHINOBU**  
**NAKANO TOMOYUKI**  
**MANNAMI HIROAKI**

(54) **POWER SUPPLY UNIT**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To reduce stress on a switch, without increasing the number of parts of a power element by inhibiting a switch for flowing charging current through a smoothing capacitor from being turned on, when regenerative current is detected by a current transformer.

**SOLUTION:** A drive circuit 13 generates a drive signal, using the outgoing signal of an oscillation circuit 12 for driving FETs Q1, Q2 and inhibits the FETs Q1, Q2 from being turned on, when the magnetic saturation of a transformer CT10 is detected by a detecting circuit 1. When the FET Q2 is switched from on to off, regenerative current flows via a circuit led from an inductor L11 to a diode D12, a transformer CT10, a parasitic diode DQ1, and to a capacitor CE10. When the regenerative current is large, the magnetic saturation of the transformer CT10 detects the condition, and the drive circuit 13 stops the output of the drive signal, until the regenerative current

is reduced, and the FET Q2 from conducting the on operation.

COPYRIGHT: (C)2000,JPO

